

PCT/FR 2004/050713



REC'D 04 MAR 2005

WIPO

PCT

# BREVET D'INVENTION

**CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION**

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 26 JAN. 2005

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

**DOCUMENT DE  
PRIORITÉ**

**PRÉSENTÉ OU TRANSMIS  
CONFORMÉMENT À LA RÈGLE  
17.1. a) OU b)**

**BEST AVAILABLE COPY**

**INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE**

**SIEGE**  
26 bis, rue de Saint-Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)





# BREVET D'INVENTION CERTIFICAT D'UTILITE

26bis, rue de Saint-Pétersbourg  
75800 Paris Cédex 08  
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France
Vos références pour ce dossier: B6238	

<b>1 NATURE DE LA DEMANDE</b>	
Demande de brevet	
<b>2 TITRE DE L'INVENTION</b>	
MATERIAU SEMICONDUCTEUR MONOCRISTALLIN	
<b>3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE</b>	Pays ou organisation      Date      N°
<b>4-1 DEMANDEUR</b>	
Nom Rue Code postal et ville Pays Nationalité Forme juridique	STMICROELECTRONICS SA 29, Boulevard Romain Rolland 92120 MONTRouGE France France Société anonyme
<b>4-2 DEMANDEUR</b>	
Nom Rue Code postal et ville Pays Nationalité Forme juridique	STMICROELECTRONICS CROLLES 2 SAS 850, Rue Jean Monnet 38920 CROLLES France France Société par actions simplifiée (SAS)
<b>5A MANDATAIRE</b>	
Nom Prénom Qualité Cabinet ou Société Rue Code postal et ville N° de téléphone N° de télécopie Courrier électronique	DE BEAUMONT Michel CPI: 92-1016, Pas de pouvoir CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE 0476518451 0476446254 cab.beaumont@wanadoo.fr



<b>6 DOCUMENTS ET FICHIERS JOINTS</b>		Fichier électronique	Pages	Détails
Texte du brevet		textebrevet.pdf	15	D 12, R 2, AB 1
Dessins		dessins.pdf	2	page 2, figures 4, Abrégé: page 1, Fig.2
Désignation d'inventeurs				
<b>7 MODE DE PAIEMENT</b>				
Mode de paiement	Prélèvement du compte courant			
Numéro du compte client	665			
<b>8 RAPPORT DE RECHERCHE</b>				
Etablissement immédiat				
<b>9 REDEVANCES JOINTES</b>				
	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
Total à acquitter	EURO			320.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

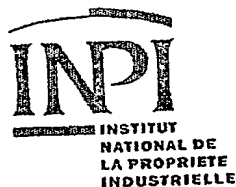
Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont  
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)





## BREVET D'INVENTION CERTIFICAT D'UTILITÉ

### Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : **X**

Demande de CU :

<b>DATE DE RECEPTION</b>	16 décembre 2003	
<b>TYPE DE DEPOT</b>	INPI (PARIS) - Dépôt électronique	<b>Dépôt en ligne: X</b>
<b>N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI</b>	0351073	<b>Dépôt sur support CD:</b>
<b>Vos références pour ce dossier</b>	B6238	

#### DEMANDEUR

Nom ou dénomination sociale	STMICROELECTRONICS SA
Nombre de demandeur(s)	2
Pays	FR

#### TITRE DE L'INVENTION

MATERIAU SEMICONDUCTEUR MONOCRISTALLIN

#### DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

#### EFFECTUE PAR

Effectué par:	M.De Beaumont
Date et heure de réception électronique:	16 décembre 2003 15:30:45
Empreinte officielle du dépôt	47:BD:18:3D:3F:76:BF:74:58:86:A2:2D:5F:9F:9C:D9:40:4A:5F:2C

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL  
INSTITUT 28 bis, rue de Saint Petersbourg  
NATIONAL DE 75800 PARIS cedex 09  
LA PROPRIÉTÉ Téléphone : 01 53 04 53 04  
INDUSTRIELLE Télécopie : 01 42 93 59 30



### **MATÉRIAU SEMICONDUCTEUR MONOCRISTALLIN**

La présente invention concerne un matériau semiconducteur monocristallin contraint, c'est-à-dire dont le paramètre de maille est supérieur à celui du silicium monocristallin massif.

5           A titre d'exemple non limitatif, le matériau selon la présente invention sera décrit en relation avec la formation, par épitaxie, d'une couche semiconductrice monocristalline sur une tranche semiconductrice monocristalline, les paramètres cristallographiques de la couche et de la tranche étant  
10 différents.

Dans un système cristallographique donné, dans lequel la maille élémentaire a une dimension déterminée, les caractéristiques électroniques et notamment la mobilité des porteurs (électrons/trous) sont déterminées. On a montré qu'il pouvait  
15 être souhaitable de modifier les paramètres de maille pour optimiser des caractéristiques électroniques. En particulier, dans le cas du silicium on a montré que, si on augmentait la dimension de la maille élémentaire (la valeur du paramètre de maille), on rendait possible la réalisation de composants  
20 élémentaires aux propriétés électroniques améliorées.

Pour obtenir du silicium à maille élémentaire agrandie (silicium contraint), on a proposé de former une couche de sili-



cium sur une couche cristalline dont la maille est plus grande que la maille normale du silicium monocristallin. En particulier, on a proposé de déposer une couche très mince (quelques épaisseurs atomiques, par exemple de 5 à 20 nm) de silicium sur  
 5 une couche de silicium-germanium (SiGe) de composition choisie pour avoir un paramètre de maille déterminé.

La figure 1 est une vue en coupe partielle et schématique illustrant la formation, sur un substrat 1 de silicium monocristallin, d'une couche 2 de SiGe que l'on appellera  
 10 "pseudo-substrat" et d'une couche 3 de silicium. Lors d'un dépôt épitaxial du pseudo-substrat 2, celui-ci croît, sur quelques premières épaisseurs atomiques, avec un même paramètre de maille  $a_1$  que celui du substrat 1. Ensuite, la présence du germanium entraîne une déformation progressive du réseau cristallin dont  
 15 le paramètre de maille passe de la valeur  $a_1$  à une valeur  $a_2$ . La valeur finale  $a_2$  dépend de la proportion de germanium introduite. Lors d'un dépôt épitaxial ultérieur de la couche 3 de silicium, celle-ci amorce sa croissance avec un paramètre de maille contraint égal au paramètre  $a_2$  sous-jacent. Des  
 20 composants électroniques peuvent ensuite être formés de telle sorte qu'au moins une de leurs parties, par exemple une zone de canal de transistor MOS ou une zone de base de transistor bipolaire, soit formée dans la couche 3.

Il convient donc d'obtenir une couche 3 exempte de  
 25 défauts. Par "exempte de défauts", on entend comportant une densité surfacique de défauts de l'ordre de celle des substrats de silicium standard, d'environ  $1/\text{cm}^2$ .

En pratique, les défauts de la couche 3 sont principalement la conséquence des défauts du pseudo-substrat 2.  
 30 On a montré que les défauts du pseudo-substrat 2 sont liés à une propagation verticale de dislocations liées à l'insertion de germanium dans le réseau de silicium. Pour limiter le nombre de défauts, on a alors proposé d'augmenter graduellement dans la couche 2 la proportion de germanium au cours de sa croissance  
 35 épitaxiale.



Toutefois, il serait souhaitable de disposer d'une couche 3 ayant un paramètre de maille correspondant à une proportion de germanium de cinquante à cent pour cent dans la couche 2. L'épaisseur  $t$  d'un pseudo-substrat graduel 2 est alors  
5 importante, de l'ordre de 3 à 8  $\mu\text{m}$ , ce qui correspond à des temps d'épitaxie d'environ une heure et demie à deux heures. D'une part, des temps aussi longs ne sont pas souhaitables pour une fabrication en série. D'autre part, pour des épaisseurs et des proportions de germanium aussi élevées, la densité  
10 surfacique de défauts du pseudo-substrat graduel 2 est élevée, environ  $10^4/\text{cm}^2$  ou plus.

La présente invention vise à proposer un pseudo-substrat de silicium contraint qui pallie les inconvénients exposés précédemment.

15 En particulier, la présente invention vise à proposer un tel pseudo-substrat à très faible densité de défauts.

Plus généralement, la présente invention vise à proposer un matériau semiconducteur monocristallin contraint, c'est-à-dire dont le paramètre de maille est supérieur à celui  
20 d'une tranche semiconductrice monocristalline massive sur laquelle le matériau est déposé.

La présente invention vise également à proposer un procédé de formation d'un tel pseudo-substrat.

En particulier, la présente invention vise à proposer  
25 un procédé de formation d'une couche semiconductrice contrainte sur une tranche semiconductrice qui fournisse une couche active à très faible densité de défauts, la couche active étant une partie supérieure de la couche contrainte ou une couche semiconductrice monocristalline superposée à celle-ci.

30 La présente invention vise également à proposer un tel procédé qui soit compatible avec les filières technologiques existantes.

Pour atteindre ces objets, la présente invention prévoit une couche semiconductrice comportant des plans ondulés  
35 d'un premier matériau semiconducteur, les plans comportant des



5 nanostructures du premier matériau semiconducteur et étant  
séparés par un second matériau semiconducteur, l'épaisseur du  
second matériau semiconducteur séparant deux plans étant  
supérieure à la hauteur des nanostructures du plan inférieur et  
étant au plus de l'ordre du quadruple du diamètre des  
nanostructures du plan inférieur.

Selon un mode de réalisation de la présente invention,  
le premier matériau semiconducteur est du germanium et le second  
matériau semiconducteur du silicium.

10 La présente invention prévoit également une tranche  
semiconductrice monocristalline recouverte d'une couche  
semiconductrice monocristalline, comprenant une couche selon un  
des modes de réalisation précédents interposée entre la tranche  
et la couche semiconductrice monocristalline.

15 Selon un mode de réalisation de la présente invention,  
la couche semiconductrice monocristalline est la dernière  
épaisseur du second matériau semiconducteur recouvrant le  
dernier plan.

20 Selon un mode de réalisation de la présente invention,  
la couche semiconductrice monocristalline est une couche  
hétéroatomique des premier et second matériaux semiconducteurs.

Selon un mode de réalisation de la présente invention,  
la proportion du premier matériau semiconducteur croît avec  
l'épaisseur de la couche semiconductrice monocristalline  
25 hétéroatomique.

La présente invention prévoit également un procédé de  
formation, sur une tranche semiconductrice monocristalline d'un  
premier paramètre de maille, d'une couche semiconductrice  
monocristalline d'un second paramètre de maille, comportant les  
30 étapes suivantes :

former par épitaxie sur la tranche une couche  
semiconductrice comportant des plans de nanostructures d'un  
premier matériau semiconducteur, deux plans consécutifs de  
nanostructures étant séparés par une couche d'un second matériau  
35 semiconducteur d'une épaisseur supérieure à la hauteur et d'au



plus environ le quadruple du diamètre des nanostructures du plan inférieur ; et

former par épitaxie ladite couche semiconductrice.

Selon un mode de réalisation de la présente invention,  
5 la couche semiconductrice monocristalline est une couche hétéroatomique des premier et second matériaux semiconducteurs.

Selon un mode de réalisation de la présente invention,  
la proportion du premier matériau semiconducteur croît avec  
l'épaisseur de la couche semiconductrice monocristalline  
10 hétéroatomique.

Selon un mode de réalisation de la présente invention,  
la tranche est en silicium, le premier matériau semiconducteur  
est du germanium et le second matériau semiconducteur du  
silicium.

15 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

20 la figure 1, décrite précédemment, illustre, en vue en coupe partielle et schématique, une structure selon l'état de la technique ;

la figure 2 illustre, en vue en coupe partielle et schématique, un mode de réalisation de la présente invention ;

25 les figures 3A à 3C illustrent, en vue en coupe partielle et schématique, divers modes de réalisation d'une couche semiconductrice ; et

la figure 4 est une courbe simplifiée de répartition de nanostructures en fonction d'une épaisseur de silicium selon  
30 la présente invention.

Par souci de clarté, les diverses figures ne sont pas tracées à l'échelle. De plus, de mêmes éléments sont désignés par de mêmes références aux différentes figures.

La présente invention tire partie des études des  
35 inventeurs sur des nanostructures d'un premier matériau



semiconducteur encapsulées dans une couche d'un second matériau semiconducteur.

L'article "Ge/Si self-assembled quantum dots grown on Si (100) in an industrial high-pressure chemical vapor deposition reactor" de C. Hernandez, Y. Campidelli, D. Simon, D. Bensahel, I. Sagnes, G. Patriarche, P. Boucaus et S. Sauvage, paru dans Journal of Applied Physics, 86/2, 1999, 1145-1148, décrit la formation de plans ondulés de germanium dans du silicium, chaque plan ondulé comportant des nanostructures en forme de dômes ou gouttes s'appuyant sur une couche de germanium très mince, typiquement de 2 à 5 nm d'épaisseur, dite couche de mouillage. La formation des plans ondulés résulte d'un mécanisme de contrainte entre des mailles cristallographiques de dimensions différentes, mais relativement voisines, de deux semiconducteurs. On a montré que ce procédé de croissance, dit de Stranski-Krastanow, provoque, par exemple, la formation de nanostructures de germanium sur du silicium à partir de divers procédés de dépôt comprenant des épitaxies moléculaires, des dépôts chimiques en phase vapeur sous faible ou très faible pression.

Plus particulièrement, pour former des plans ondulés de germanium dans du silicium on effectue, par exemple, une épitaxie par injection continue de germane ( $\text{GeH}_4$ ) sur un substrat de silicium monocristallin suivie d'une épitaxie par injection continue de silane ( $\text{SiH}_4$ ). Lors de l'épitaxie de germanium, les quelques premières épaisseurs atomiques déposées forment une couche dont la surface est régulière mais non plane. En raison des contraintes liées aux différences des réseaux cristallins, la surface présente une allure "ondulatoire" de type sinusoïdal. En d'autres termes, la surface supérieure d'une couche de germanium de quelques épaisseurs atomiques, formée sur du silicium, présente des creux et des bosses répartis de façon régulière. L'injection de germane se poursuivant, les contraintes cristallographiques - déformations du réseau naturel du germanium - provoquent la croissance de nanostructures. Cette



injection doit être interrompue quand les nanostructures ont atteint une dimension souhaitée, avant que ne se produise une coalescence des nanostructures, puis la formation d'une couche continue de germanium contenant des dislocations. Le dépôt  
5 épitaxial ultérieur de silicium n'affecte pas la forme ondulée du germanium.

En étudiant une structure comprenant de telles nanostructures de germanium encapsulées dans du silicium, les inventeurs ont déterminé que, dans certaines conditions, la  
10 surface supérieure du silicium encapsulant les nanostructures de germanium a un paramètre de maille supérieur à celui du substrat de silicium monocristallin sous-jacent.

Ainsi, les inventeurs ont déterminé que le paramètre de maille moyen d'une couche de silicium encapsulant plusieurs  
15 plans ondulés de germanium est égal au paramètre d'une couche hétéroatomique de SiGe comportant de l'ordre de 30 à 50 % de germanium.

Les inventeurs ont en outre déterminé qu'une telle modification du paramètre de maille du silicium est effectuée  
20 sur une épaisseur inférieure à celle d'une couche hétéroatomique de SiGe à proportion graduellement croissante de germanium permettant d'obtenir le même paramètre.

Une couche de silicium comportant des nanostructures de germanium peut alors être utilisée en tant que tout ou partie  
25 d'un pseudo-substrat tel que décrit précédemment en relation avec la figure 1.

La figure 2 illustre, en vue en coupe partielle et schématique, la formation, sur un substrat 10 de silicium monocristallin, d'un pseudo-substrat 11 et d'une couche 12 de  
30 silicium.

Selon un mode de réalisation de la présente invention, le pseudo-substrat 11 comprend une partie inférieure 14 reposant sur le substrat 10 et une partie supérieure 16 sur laquelle repose la couche 12. La partie inférieure 14 est constituée de  
35 plusieurs plans P1, P2 et P3 de nanostructures de germanium



encapsulées dans du silicium. La partie supérieure 16 est constituée d'une couche hétéroatomique de SiGe comportant une proportion graduellement croissante de germanium. L'épaisseur t14 de la partie inférieure 14 est inférieure à l'épaisseur t16 de la partie supérieure 16 est ajustée pour obtenir le paramètre de maille correspondant à une proportion donnée de germanium dans un réseau de silicium, comprise entre 50 et 100 %. L'épaisseur globale du pseudo-substrat 11 est donc avantageusement plus faible que celle d'une simple couche graduelle.

La nécessité de mettre en oeuvre une croissance de type Stranski-Krastanow des plans de nanostructures n'allonge pas les temps de fabrication car elle peut être effectuée dans le réacteur d'épitaxie utilisé pour la croissance de la couche graduelle. En pratique, le temps nécessaire pour faire croître les quelques plans de nanostructures nécessaires est inférieur au temps nécessaire pour faire croître un pseudo-substrat de même paramètre de maille final. En pratique, le nombre de plans de nanostructures est de l'ordre de un à quinze, de préférence de un à dix pour limiter le plus possible la propagation verticale de dislocations.

En termes de défauts, les inventeurs ont déterminé que la densité surfacique de défauts de la partie inférieure 14 est alors réduite, et est de l'ordre de  $10$  à  $10^3/\text{cm}^2$  au lieu de  $10^4$  à  $10^6/\text{cm}^2$  pour une couche graduelle (2, figure 1). Comme cela sera détaillé ci-après en relation avec les figures 3A-C et 4, une telle réduction est liée à un arrêt de la propagation verticale des dislocations dans le silicium sur les nanostructures.

De plus, les inventeurs ont déterminé une loi de variation des positions relatives des nanostructures de germanium de deux plans successifs en fonction de l'épaisseur de silicium les séparant et proposent, pour réduire la propagation verticale de dislocations et donc la densité surfacique de



défauts, de séparer deux plans de nanostructures par une épaisseur de silicium supérieure à la hauteur et au plus de l'ordre du diamètre des nanostructures.

5 Les figures 3A à 3C illustrent, en vue en coupe partielle et schématique, des plans de nanostructures de germanium encapsulées dans du silicium. La figure 4 illustre, partiellement et schématiquement, une courbe de répartition des nanostructures en fonction de l'épaisseur de silicium séparant deux plans de nanostructures.

10 Les figures 3A à 3C illustrent les structures obtenues lorsque l'on augmente, pour des conditions identiques de croissance de nanostructures de germanium, l'épaisseur de silicium  $e_{Si}$  séparant deux plans ondulés de Stranski-Krastanow. Les nanostructures ont un diamètre  $D$  d'environ 50 à 150 nm et  
15 une hauteur  $H$  d'environ 10 à 25 nm. Les nanostructures prennent appui sur une couche plane de germanium épaisse de quelques nanomètres, typiquement de 2 à 4 nm. La figure 4 illustre le décalage  $g$  dans le plan vertical des figures 3A-C des nanostructures de germanium d'un plan supérieur par rapport à un  
20 plan inférieur en fonction de l'épaisseur  $e_{Si}$  de la couche de silicium intermédiaire déposée entre chaque plan. En figure 3A, l'épaisseur  $e_{Si}$  est inférieure à la hauteur  $H$  des nanostructures de germanium. En figure 3B, l'épaisseur  $e_{Si}$  est comprise entre la hauteur  $H$  et une valeur seuil  $T_{Si}$  inférieure au diamètre  $D$   
25 des nanostructures de germanium. En figure 3C, l'épaisseur  $e_{Si}$  est supérieure au seuil  $T_{Si}$ , par exemple, de l'ordre du diamètre  $D$  des nanostructures de germanium.

Comme l'illustrent les figures 3A à 3C et la figure 4, lorsque l'épaisseur  $e_{Si}$  est relativement faible, c'est-à-dire de  
30 l'ordre de la hauteur  $H$  des nanostructures de germanium, il apparaît un autoalignement des nanostructures illustrées en figure 3A. Un tel autoalignement se traduit par un décalage  $g$  nul en figure 4. Lorsque l'épaisseur de silicium  $e_{Si}$  est à une valeur supérieure à la hauteur  $H$  des nanostructures mais au plus  
35 de l'ordre d'un seuil  $T_{Si}$ , on observe un décalage  $g$  entre les



nanostructures de plans verticaux successifs. Ce décalage  $g$  augmente avec l'augmentation de l'épaisseur  $e_{si}$ . A partir et au-delà du seuil  $T_{si}$ , le décalage  $g$  est maximal, chaque nanostructure du plan supérieur étant latéralement équidistante de deux nanostructures du plan inférieur, comme l'illustre la figure 3C. Les études des inventeurs ont montré qu'en fonction des conditions de croissance la valeur seuil  $T_{si}$  est égale à soixante à quatre-vingt pour cent de la valeur du diamètre  $D$  des nanostructures.

Comme l'illustre la figure 4, les inventeurs ont constaté que l'effet de décalage maximal décrit en relation avec la figure 3C apparaît avant que l'épaisseur  $e_{si}$  n'atteigne la valeur du diamètre  $D$  des nanostructures et se maintient au moins jusqu'à cette valeur, jusqu'à des valeurs beaucoup plus élevées, doubles ou triples du diamètre  $D$  et pouvant atteindre le quadruple du diamètre  $D$ .

Lorsque l'épaisseur  $e_{si}$  est comprise entre la hauteur  $H$  et le seuil  $T_{si}$ , la position des nanostructures sur un plan donné se décale donc par rapport aux nanostructures du plan inférieur. Un tel décalage peut avantageusement être utilisé pour bloquer le mécanisme de propagation vertical des dislocations dans la partie inférieure 14 du pseudo-substrat 11 de la figure 2. En effet, si une dislocation se crée dans une couche de silicium intermédiaire entre deux plans  $P1$  et  $P2$  ou  $P2$  et  $P3$ , elle tend à se propager verticalement de façon connue. Lors du déplacement des nanostructures sur le plan supérieur  $P2$  ou  $P3$ , une nanostructure peut venir se placer sur le chemin de propagation de la dislocation et donc l'interrompre.

Selon la présente invention, l'épaisseur de silicium séparant deux plans de nanostructures de germanium est donc choisie entre la hauteur  $H$  et le quadruple du diamètre  $D$  des nanostructures.

De préférence, pour réduire la propagation verticale de dislocations, l'épaisseur de silicium séparant deux plans de nanostructures de germanium est choisie de façon que l'écart  $g$



est maximal, c'est-à-dire est comprise entre le seuil  $T_{Si}$  et de l'ordre du quadruple du diamètre  $D$  des nanostructures. Plus préférentiellement, pour limiter le plus possible la propagation verticale des défauts, on minimisera l'épaisseur de silicium qui est alors choisie de l'ordre du diamètre  $D$ . Par "de l'ordre du diamètre  $D$  des nanostructures", on entend la valeur du diamètre, par exemple de 50 à 150 nm, à une trentaine de pour cent près ( $\pm 30\%$ ). De même, par "de l'ordre du quadruple du diamètre  $D$  des nanostructures", on entend le quadruple de la valeur du diamètre à une trentaine de pour cent près ( $\pm 30\%$ ).

Dans le cas (non représenté) où un paramètre de maille correspondant à une inclusion de 30 à 50 % de germanium est nécessaire, le pseudo-substrat peut-être constitué uniquement de nanostructures de germanium encapsulées dans du silicium. Outre les avantages précédemment cités de gain de qualité de surface obtenue et de réduction des temps de fabrication, on notera que la surface de silicium comporte avantageusement à l'aplomb des nanostructures du dernier plan des plots ayant la forme d'une pyramide facettée tronquée. De plus, lorsque l'épaisseur de silicium  $e_{Si}$  est supérieure au seuil  $T_{Si}$ , en vue de dessus, les pyramides sont "auto-organisées" en surface sous une forme régulière en un damier régulier dont les dimensions des cases sont de l'ordre du diamètre  $D$  des nanostructures. En deçà du seuil  $T_{Si}$ , l'auto-organisation est moins régulière, les plots ou les écarts entre les plots ayant une dimension, en vue de dessus, supérieure au diamètre  $D$ . Une telle surface, régulière ou non, peut être avantageuse dans un certain nombre d'applications.

Un exemple d'une telle application est la réalisation de mémoire utilisant des transistors de type MOS comportant une grille flottante. En effet, dans un tel dispositif, on a constaté qu'il était souhaitable que la grille flottante du transistor soit constituée d'éléments conducteurs distincts noyés dans une couche isolante. Pour ce faire, on pourra avantageusement utiliser un pseudo-substrat à multi-plan selon



la présente invention. Ainsi, on procède à une oxydation du silicium puis au dépôt d'un matériau conducteur. Lors de l'oxydation, la forme irrégulière de la surface comportant des plots pyramidaux facettés tronqués est conservée. Les plots ou  
5 les dépressions entre les plots servent alors de points de nucléation de nanocristaux lors du dépôt ultérieur. Ces nanocristaux constituent alors la grille flottante.

Selon une variante, l'oxyde est un isolant à forte permittivité diélectrique.

10 L'homme de l'art saura adapter les conditions de fabrication décrite précédemment d'une couche semiconductrice comportant des plans ondulés de Stranski-Krastanow d'un premier matériau semiconducteur encapsulés dans un second matériau  
15 matériau semiconducteur soit compris selon la présente invention, entre la hauteur et le diamètre de nanostructures du premier matériau semiconducteur. Selon un mode de réalisation, après la formation de la couche (14, figure 2) comportant de tels plans et avant de faire croître par épitaxie une autre couche  
20 semiconductrice, on procédera à un recuit à une température de 700 à 900°C. Un tel recuit est destiné à permettre une relaxation, c'est-à-dire une stabilisation et une homogénéisation de la structure cristalline.

Bien entendu, la présente invention est susceptible de  
25 diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les dimensions des nanostructures et des couches de silicium séparant deux plans de nanostructures peuvent être modifiées de toute façon appropriée, pour autant que l'épaisseur de silicium demeure dans la plage définie.



**REVENDICATIONS**

1. Couche semiconductrice (14) comportant des plans ondulés (P1, P2, P3) d'un premier matériau semiconducteur, les plans comportant des nanostructures dudit premier matériau semiconducteur et étant séparés par un second matériau  
5 semiconducteur, dans laquelle l'épaisseur ( $e_{si}$ ) du second matériau semiconducteur séparant deux plans est supérieure à la hauteur (H) des nanostructures du plan inférieur et est au plus de l'ordre du quadruple du diamètre (D) des nanostructures du plan inférieur.

10 2. Couche selon la revendication 1, caractérisée en ce que le premier matériau semiconducteur est du germanium et le second matériau semiconducteur du silicium.

15 3. Tranche semiconductrice monocristalline (10) recouverte d'une couche semiconductrice monocristalline (12), dans laquelle une couche (14) selon la revendication 1 ou 2 est interposée entre la tranche et ladite couche semiconductrice monocristalline.

20 4. Tranche selon la revendication 3, caractérisée en ce que la couche semiconductrice monocristalline est la dernière épaisseur du second matériau semiconducteur recouvrant le dernier plan.

25 5. Tranche selon la revendication 4, caractérisée en ce que la couche semiconductrice monocristalline est une couche hétéroatomique (16) des premier et second matériaux semiconducteurs.

6. Tranche selon la revendication 5, caractérisée en ce que la proportion du premier matériau semiconducteur croît avec l'épaisseur de la couche semiconductrice monocristalline hétéroatomique (16).

30 7. Procédé de formation, sur une tranche semiconductrice monocristalline (10) d'un premier paramètre de maille, d'une couche semiconductrice monocristalline (12, 16) d'un second paramètre de maille, caractérisé en ce qu'il comporte les étapes suivantes :



former par épitaxie sur la tranche une couche semiconductrice (11) comportant des plans de nanostructures d'un premier matériau semiconducteur, deux plans consécutifs de nanostructures étant séparés par une couche d'un second matériau  
5 semiconducteur d'une épaisseur ( $e_{sj}$ ) supérieure à la hauteur (H) et d'au plus environ le quadruple du diamètre (D) des nanostructures du plan inférieur ; et

former par épitaxie ladite couche semiconductrice (12).

10 8. Procédé selon la revendication 7, caractérisé en ce que la couche semiconductrice monocristalline est une couche hétéroatomique (16) des premier et second matériaux semiconducteurs.

15 9. Procédé selon la revendication 8, caractérisé en ce que la proportion du premier matériau semiconducteur croît avec l'épaisseur de la couche semiconductrice monocristalline hétéroatomique (16).

20 10. Procédé selon l'une quelconque des revendications 7 à 9, caractérisé en ce que la tranche (10) est en silicium, le premier matériau semiconducteur est du germanium et le second matériau semiconducteur du silicium.



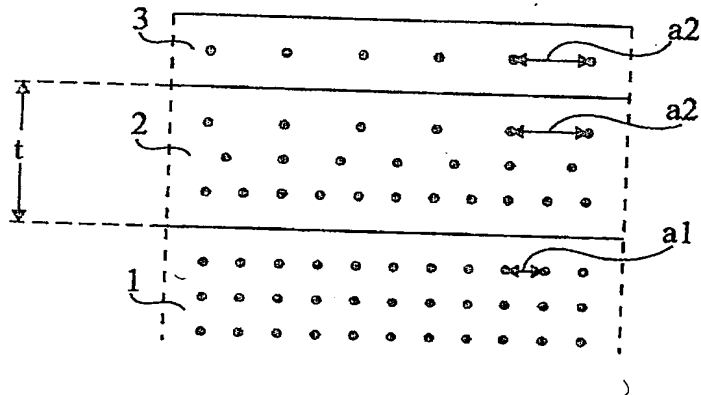


Fig 1

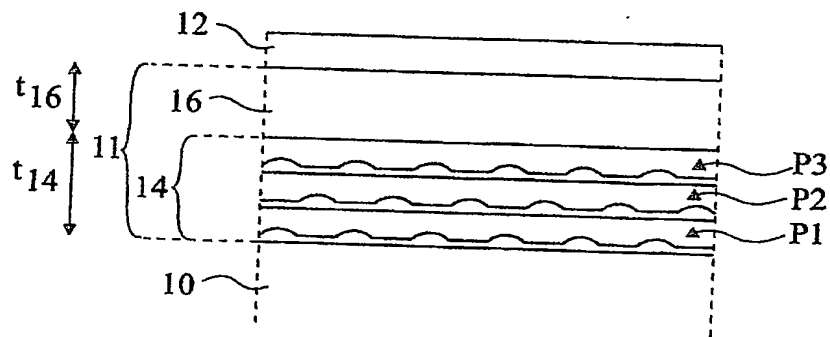


Fig 2



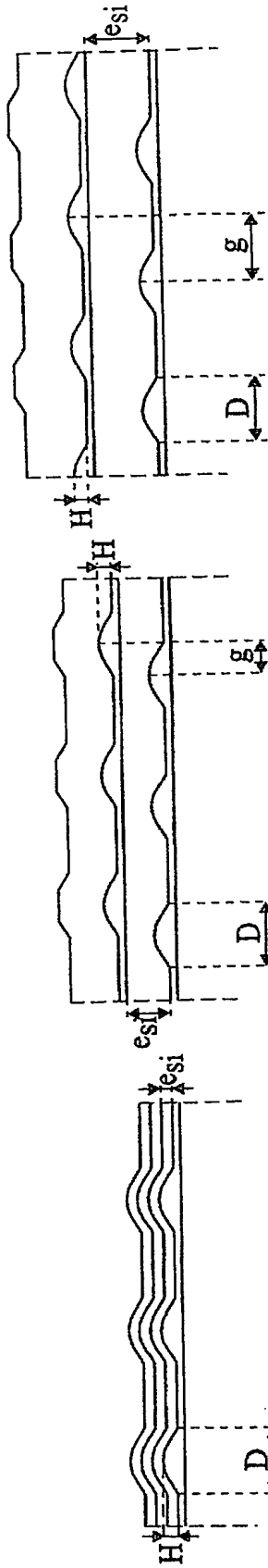


Fig 3C

Fig 3B

Fig 3A

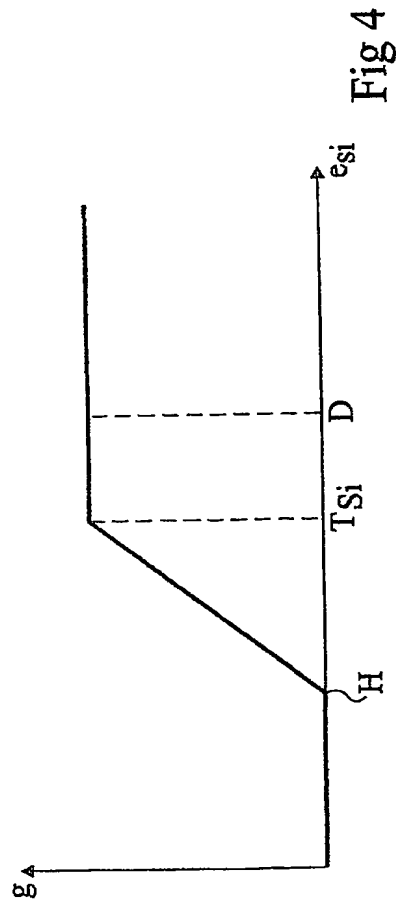


Fig 4





# BREVET D'INVENTION CERTIFICAT D'UTILITE

## Désignation de l'inventeur

<b>Vos références pour ce dossier</b>	B6238
<b>N°D'ENREGISTREMENT NATIONAL</b>	
<b>TITRE DE L'INVENTION</b>	
<b>LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):</b>	MATERIAU SEMICONDUCTEUR MONOCRISTALLIN
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S):</b>	
<b>Inventeur 1</b>	
Nom	BENSAHEL
Prénoms	Daniel
Rue	49, Rue Louise Michel
Code postal et ville	38100 GRENOBLE
Société d'appartenance	
<b>Inventeur 2</b>	
Nom	CAMPIDELLI
Prénoms	Yves
Rue	1, Place Hubert Dubedout
Code postal et ville	38000 GRENOBLE
Société d'appartenance	
<b>Inventeur 3</b>	
Nom	KERMARREC
Prénoms	Olivier
Rue	3, Allée des Iris
Code postal et ville	38610 GIERES
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**